

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-106434

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

H01L 21/8242

H01L 27/108

H01L 29/786

(21)Application number : 05-249378

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.10.1993

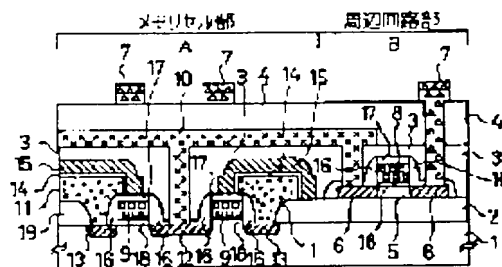
(72)Inventor : KIMURA HIROSHI

(54) SEMICONDUCTOR MEMORY AND FABRICATION THEREOF

(57)Abstract:

PURPOSE: To enhance the integration of semiconductor integrated circuit and to increase yield in the fabrication thereof by eliminating the level difference at the border of memory cell part and peripheral circuit part which causes troubles in the formation of fine pattern.

CONSTITUTION: Transistors 9, 12, 13 formed on a semiconductor substrate 1 form a memory cell part A whereas transistors 6, 8 formed on an SOI layer 5 being formed on an insulation film 2 form a peripheral circuit part B. Level difference is eliminated from the peripheral circuit part B by forming the insulation film 2 and the SOI layer 5 having the thicknesses corresponding to those of stacked capacitors 11, 14, 15.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106434

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8242

27/108

29/786

7210-4M

H 0 1 L 27/ 10

3 2 5 R

7210-4M

3 2 5 C

審査請求 未請求 請求項の数4 O L (全 7 頁) 最終頁に続く

(21) 出願番号

特願平5-249378

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22) 出願日

平成5年(1993)10月5日

(72) 発明者 木村 広嗣

伊丹市瑞原4丁目1番地 三菱電機株式会

社エル・エス・アイ研究所内

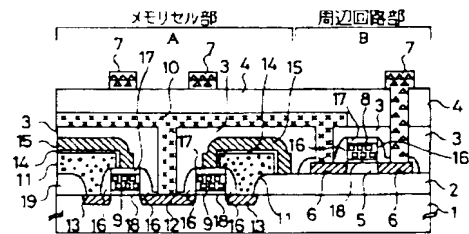
(74) 代理人 弁理士 曾我 道照 (外6名)

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【目的】 スタックキャパシタ構造を有する半導体記憶装置 (DRAM) において、微細なパターンを形成する際の障害となるメモリセル部と周辺回路部との境界の段差を除去し、半導体集積回路の集積度及び製造工程における歩留まりを向上する。

【構成】 半導体基板1上に形成されたトランジスタ(9、12、13)によりメモリセル部Aを構成し、絶縁膜2上のSOI層5に形成されたトランジスタ(6、8)により周辺回路部Bを構成する。スタックキャパシタ(11、14、15)の厚みに対応した厚みの絶縁膜2及びSOI層5を形成することにより、周辺回路部Bは段差をなくすようにかさ上げされる。



- | | |
|---------------------------------------|----------------------------------|
| 1: 半導体基板 (Si) | 15: セルプレート (Poly-Si) |
| 2: 絶縁膜 (SiO ₂) | 16: ゲート側壁絶縁膜 (SiO ₂) |
| 3: 絶縁膜 (SiO ₂) | 17: ゲート上部絶縁膜 (SiO ₂) |
| 4: 絶縁膜 (SiO ₂) | 18: ゲート絶縁膜 (SiO ₂) |
| 5: SOI層 (Si) | 19: 素子分離絶縁膜 (SiO ₂) |
| 6: 不純物拡散層 | |
| 7: 配線層 (Al) | |
| 8: SOIトランジスタゲート | |
| 9: 基板上トランジスタゲート | |
| 10: 配線層 (WSi/Poly-Si) | |
| 11: ストレージノード (Poly-Si) | |
| 12: ビット線側不純物拡散層 | |
| 13: ストレージノード側不純物拡散層 | |
| 14: キャパシタ電極 (SiN又はSiO ₂ 等) | |

【特許請求の範囲】

【請求項1】 半導体基板上に形成されたメモリセル部と、上記メモリセル部に隣接した上記半導体基板上に形成された絶縁層と、上記絶縁層上に形成され上記メモリセル部に対し書き込み動作及び読み出し動作を行う周辺回路とを備える半導体記憶装置。

【請求項2】 半導体基板上に形成されたメモリセル部と、上記メモリセル部に隣接した上記半導体基板上に形成されたSOI構造のトランジスタと、上記トランジスタにより構成され上記メモリセル部に対し書き込み動作及び読み出し動作を行う周辺回路とを備える半導体記憶装置。

【請求項3】 半導体基板上に形成されスタック構造のキャパシタを有するメモリセル部と、上記メモリセル部に隣接した上記半導体基板上に形成されたSOI構造のトランジスタと、上記トランジスタにより構成され上記メモリセル部に対し書き込み動作及び読み出し動作を行う周辺回路とを備える半導体記憶装置。

【請求項4】 半導体基板上に形成された絶縁膜及び上記絶縁膜に重ねて形成されたSOI層の、周辺回路を形成する部分以外を除去する第1の工程と、上記半導体基板上にメモリセル部のトランジスタを形成するとともに、上記SOI層上に上記周辺回路部のトランジスタを形成する第2の工程と、上記メモリセル部にスタック構造のキャパシタを形成する第3の工程と、上記メモリセル部及び上記周辺回路部の配線層を形成する第4の工程とを備える半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はDRAM等の半導体記憶装置及びその製造方法に関するものである。

【0002】

【従来の技術】 書き込み動作及び読み出し動作が可能なDRAM等の半導体記憶装置は、多数のキャパシタと多数のトランジスタとからなりデータ（情報）を蓄えるメモリセル部と、このメモリセル部に対しデータを書き込むとともに書き込んだデータを読み出す周辺回路とから構成される。

【0003】 図5は、スタックキャパシタ構造を採用した従来の半導体記憶装置の断面を示す図であり、同図はこの半導体記憶装置であるDRAM(Dynamic Random Access Memory)のメモリセル部（同図A部）と周辺回路部（同図B部）との境界付近を模式的に表している。

【0004】 次に、図5に示す半導体記憶装置の構造について説明する。同図において、1はトランジスタ等の素子が形成される半導体（Si）基板、3は半導体基板1上に形成されたトランジスタ等の素子とそれに重ねて形成される配線等とを絶縁するための絶縁膜（SiO₂）、4は絶縁膜3の上に形成され、後述する配線層7と配線層10とを絶縁するための絶縁膜（Si

O₂）、7は絶縁膜4上にアルミニウム（Al）等により形成される配線層、9はメモリセル部を構成する基板上トランジスタのゲート、10はタングステンシリサイド（WSi）やポリシリコン（Poly Si）等からなり、メモリセル部Aの素子を相互に配線する配線層、11はポリシリコン（Poly Si）等からなり、メモリセル部Aのキャパシタの一端であるストレープノード、12はメモリセル部の基板上トランジスタのビード線側の不純物拡散層、13はストレープノード側の不純物拡散層、14はシリコン酸化膜（Si₃N₄）やシリコン酸化膜（SiO₂）等からなり、ストレープノード11とセルプレート15とを絶縁し、キャパシタを構成するキャパシタ誘電膜、15はポリシリコン（Poly Si）からなり、メモリセル部のキャパシタの他端であるセルプレート、16はゲート9の側面を絶縁するゲート側壁絶縁膜（SiO₂）、17はゲート9の上面を絶縁するゲート上部絶縁膜（SiO₂）、18は半導体基板1とゲート9とを絶縁するゲート絶縁膜、19はトランジスタ等の素子を分離する素子分離絶縁膜（SiO₂）、20は周辺回路トランジスタのゲート、21は周辺回路トランジスタの出力電極（ソース、ドレイン）を構成する周辺回路トランジスタ不純物拡散層である。

【0005】 このような構造をもつDRAMは、ゲート9、出力電極（ビード線側不純物拡散層12、ストレープノード側不純物拡散層13）とからなるトランジスタにより、ストレープノード11、キャパシタ誘電膜14、セルプレート15とからなるキャパシタに電荷を蓄積するとともに、この蓄えた電荷を読み出す（センス）することによりデータの書き込み及び読み出し動作を行う。そして、外部からの信号に基づきメモリセル部Aの上記トランジスタを制御し、書き込み動作及び読み出し動作を行うために、周辺回路部Bのトランジスタ（ゲート20、周辺回路トランジスタ不純物拡散層21）が、配線層10を介して、メモリセル部Aの上記トランジスタに接続されている。

【0006】

【発明が解決しようとする課題】 従来の半導体記憶装置は、メモリセル部Aのトランジスタと周辺回路部Bのトランジスタとが、いずれも同一の半導体基板1上に形成されている。この場合、メモリセルのキャパシタとして図5に示す積層構造のスタックキャパシタ（ストレープノード11、キャパシタ誘電膜14、セルプレート15により構成されている）を採用すると、メモリセル部Aにおいて、前記のようにスタックキャパシタを構成する各種膜が積層されるために、これら各層の合計が厚くなる。一方、周辺回路部Bでは、スタックキャパシタの積層膜はないから（スタックキャパシタ構造のための膜はエッチオフにより除去される）層の厚みはメモリセル部Aよりも薄くなる。したがって、メモリセル部Aと周辺回路部Bとの間には、図5に示すような段差（h）が発

生ずる。

【0007】このような段差(h)があると製造工程において不都合が生じる。例えば、配線層10や配線層7のパターン形成を、写真製版技術により行う場合を考えると、マスクパターンからメモリセル部Aの表面までの距離と周辺回路部Bの表面までの距離とが段差(h)により異なり、メモリセル部Aと周辺回路部Bとの両方に対し正確に焦点を合わせることができない。したがって、形成すべきパターンが極微細(例えば0.5~0.1 μ mの線の等)の場合に正確なパターンの形成及びその方法の制御が非常に困難となる。さらに、この写真製版で形成されたレジストパターンによりエッチングを行う際に、段差部分でエッチングの残渣が発生しやすくなり、エッチング後の工程において配線間の短絡(ショート)、配線の切断(オープン)等の不良の原因となる。

【0008】この発明は、上記のような問題点を解消するためになされたもので、前記段差を解消し、微細なパターンを形成可能にし、半導体装置の集積度を向上させるとともに、製造工程における歩留まりを向上することを目的とする。

【0009】

【課題を解決するための手段】請求項1に係る半導体記憶装置は、半導体基板上に形成されたメモリセル部と、上記メモリセル部に隣接した上記半導体基板上に形成された絶縁層と、上記絶縁層上に形成され上記メモリセル部に対し書き込み動作及び読み出し動作を行う周辺回路とを備えるものである。

【0010】請求項2に係る半導体記憶装置は、半導体基板上に形成されたメモリセル部と、上記メモリセル部に隣接した上記半導体基板上に形成されたSOI構造のトランジスタと、上記トランジスタにより構成され上記メモリセル部に対し書き込み動作及び読み出し動作を行う周辺回路とを備えるものである。

【0011】請求項3に係る半導体記憶装置は、半導体基板上に形成されスタック構造のキャパシタを有するメモリセル部と、上記メモリセル部に隣接した上記半導体基板上に形成されたSOI構造のトランジスタと、上記トランジスタにより構成され上記メモリセル部に対し書き込み動作及び読み出し動作を行う周辺回路とを備えるものである。

【0012】請求項4に係る半導体記憶装置の製造方法は、半導体基板上に形成された絶縁膜及び上記絶縁膜に重ねて形成されたSOI層の、周辺回路を形成する部分以外を除去する第1の工程と、上記半導体基板上にメモリセル部のトランジスタを形成するとともに、上記SOI層上に上記周辺回路部のトランジスタを形成する第2の工程と、上記メモリセル部にスタック構造のキャパシタを形成する第3の工程と、上記メモリセル部及び上記周辺回路部の配線層を形成する第4の工程とを備えるものである。

【0013】

【作用】請求項1の発明においては、メモリセル部に隣接した半導体基板上に形成された絶縁層が、周辺回路部の層の厚みを増し、メモリセル部と周辺回路部との段差を軽減する。

【0014】請求項2乃至請求項4の発明においては、メモリセル部に隣接した上記半導体基板上に形成されたトランジスタをSOI構造とすることにより、周辺回路部の層の厚みを増し、メモリセル部と周辺回路部との段差を軽減する。

【0015】

【実施例】実施例1 図1は、この発明による半導体記憶装置の実施例を示す図であり、同図はこの半導体記憶装置であるDRAM(Dynamic Random Access Memory)のメモリセル部(同図A部)と周辺回路部(同図B部)との境界付近を模式的に表している。

【0016】次に、図1に示す半導体記憶装置の構造について説明する。同図において、1はトランジスタ等の素子が形成される半導体(Si)基板、2は周辺回路部Bに設けられ、半導体記憶装置の表面を平坦にする絶縁膜(SiO₂)、3は半導体基板1上に形成されたトランジスタ等の素子とそれに重ねて形成される配線等とを絶縁するための絶縁膜(SiO₂)、4は絶縁膜3の上形成され、後述する配線層7と配線層10とを絶縁するための絶縁膜(SiO₂)、5はシリコン(Si)からなり、周辺回路のトランジスタを形成するためのSOI(Silicon On Insulator)層、6はSOI層5上に形成された周辺回路のSOIトランジスタの不純物拡散層(出力電極)、7は絶縁膜4上にアルミニウム(Al)等により形成される配線層、8はSOI層5上に形成された周辺回路のSOIトランジスタのゲート、9はメモリセル部を構成する基板上トランジスタのゲート、10はタンダステンシリサイド(WSi)やポリシリコン(Poly Si)等からなり、メモリセル部を配線する配線層、11はポリシリコン(Poly Si)等からなり、メモリセル部のキャパシタの一端であるストレープロード、12はメモリセル部のトランジスタのビット線側の不純物拡散層、13はストレープロード側の不純物拡散層、14はシリコン窒化膜(Si₃N₄)やシリコン酸化膜(SiO₂)等からなり、ストレープロード11とセルプレート15とを絶縁し、キャパシタを構成するキャパシタ誘電体、15はポリシリコン(Poly Si)からなり、メモリセル部のキャパシタの他端であるセルプレート、16はゲート9の側面を絶縁するゲート側壁絶縁膜(SiO₂)、17はゲート9の上面を絶縁するゲート上部絶縁膜(SiO₂)、18は半導体基板1とゲート9とを絶縁するゲート絶縁膜、19はトランジスタ等の素子を分離する素子分離絶縁膜(SiO₂)である。

【0017】この実施例による半導体記憶装置は、周辺回路部Bのトランジスタが半導体基板1ではなくSOI

層5上に構成されている点、及びS O I膜5は半導体基板1上に形成された絶縁膜2上に形成され、この絶縁膜2及びS O I膜5が段差をなくすように構成されている点に特徴があり、この点で従来のスタックキャパシタDRAMの構成と異なる。

【0018】この実施例における半導体記憶装置(DRAM)の動作は、基本的に従来のものと同様であり、ゲート9、出力電極(ビット線側不純物拡散層12、ストレージノード側不純物拡散層13)とからなるトランジスタにより、ストレージノード11、キャパシタ誘電膜14、セルプレート15とからなるキャパシタに電荷を蓄積するとともに、この蓄えた電荷を読み出す(センス)することによりデータの書き込み及び読み出し動作を行う。そして、周辺回路部Bのトランジスタ(ゲート17、出力電極6)が、外部からの信号に基づきメモリセル部Aの上記トランジスタを制御し、書き込み及び読み出し動作を行う。

【0019】この実施例の周辺回路部BはS O I構造をとっており、半導体基板1上に絶縁膜2を積層し、さらにS O I膜5を積層している。S O I構造とは、Silicon On Insulator構造の略であり、絶縁性基板ウエハ上にシリコン薄膜を形成した構造をいう。

【0020】この構造によると従来の場合と比べ、絶縁膜2及びS O I膜5の厚みだけ周辺回路部Bはメモリセル部Aより高くなるから、メモリセル部Aに形成される各種のキャパシタ積層膜(ストレージノード11、キャパシタ誘電膜14、セルプレート15)により発生する段差を相殺することができる。すなわち、周辺回路部Bの絶縁膜2とS O I層5の合計の厚みを、メモリセル部Aの各種のキャパシタ積層膜の厚みと同等にすることにより、半導体記憶装置の段差を軽減し、表面を平坦にすることができる。

【0021】従って、上部配線である配線層10及び配線層7の写真製版によるパターンニングの際及びエッチングの際には段差が軽減されており、それらを容易に形成することができる。このことにより、サブミクロン〜クォータミクロン以下のパターンについても寸法の制御性を良くしつつ形成でき、集積度が向上できるとともに、歩留まりも向上する。

【0022】さらに、周辺回路部Bのトランジスタ(不純物拡散層6、S O Iトランジスタゲート8)は、半導体基板1でなくS O I層5上に形成されているから、その空乏層容量が小さくなり、高速動作が可能になる。このことは高速動作が要求される周辺回路にとって望ましいことである。したがって、この実施例の構成により、メモリセル部Aであるか周辺回路部Bであるかに応じて、デバイス特性を適正にできるという効果も奏する。なお、メモリセル部Aに形成されるトランジスタ(基板上トランジスタゲート9、不純物拡散層12、13)は、従来の場合と同様に結晶性が比較的良好な半導体

基板1上に形成されているため、出力電極(不純物拡散層12、13)の間のリークが増えることはなく、その特性が劣化することはない。

【0023】次に、この実施例の半導体装置の製造方法について説明する。図2乃至図4はこの実施例の製造工程(プロセスフロー)を順に説明したものである。図2乃至図4は、便宜上、一連の製造工程を3つの図面で表したものであり、これらは連続した工程を示している。

【0024】工程(a)

半導体基板1上に絶縁膜2を形成した後、その表面にシリコン結晶を成長させS O I層5を形成する。または、予め半導体基板1とS O I層5との間に絶縁膜2が形成されている基板を用いてもよい。S O I層5の上にフォトリソレジストを塗布し、写真製版技術により周辺回路部Bをパターンニングするためのレジストパターン22を形成する(図2(a))。ここで絶縁膜2は、メモリセル部Aのスタックキャパシタにより生じる段差を相殺するような厚みとする。

【0025】工程(b)

工程(a)で形成したレジストパターン22により、周辺回路部Bを除いてS O I層5をエッチングにより除去する。レジストパターン22を除去後、フォトリソレジストを塗布し、所定のパターンニングを行い、レジストパターン23を形成する。そして、このレジストパターン23に基づき、絶縁膜2をエッチングにより除去する(図2(b))。なお、このパターンニングされた絶縁膜2は、段差を相殺するばかりでなく、メモリセル部Aにおいても端子間の分離領域として使用することができる(もつとも、メモリセル部Aで絶縁膜2を残さなくてもよく、別途LOCOS法(Local Oxidation of Silicon、酸化膜分離)等によって分離領域を形成しても良いのはもちろんである)。

【0026】工程(c)

工程(b)で形成したレジストパターン23を除去した後、全面に酸化膜(SiO₂)をCVD(Cheical Vapor Deposition)法により積層する。そして、リアクティブイオンエッチング(RIE)によりエッチングを行い、半導体基板1、絶縁膜2及びS O I層5の表面の酸化膜を除去する。RIEは異方性エッチングであるから、全面に形成された酸化膜のうち絶縁膜2、S O I層5等の側面の部分の酸化膜が、側壁絶縁膜24、側壁絶縁膜25として残る(図2(c))。なお、以下の説明において側壁絶縁膜24は絶縁膜2と一体として取り扱う。

【0027】工程(d)

熱酸化法によりゲート酸化膜18を半導体基板1及びS O I層5の上部に形成する。そして、CVD法により、S O Iトランジスタゲート8及び基板上トランジスタゲート9を形成するためのポリシリコンによる導電膜26を形成し、さらに重ねてゲート上部絶縁膜17を形成す

るための絶縁膜 (SiO₂) 27 を形成する (図 2 (d))。

【0028】工程 (e)

工程 (d) で形成した導電膜 26、絶縁膜 27 に対し写真製版技術を用いて所定のパターンにエッチングし、S-O-I トランジスタゲート 8、基板上トランジスタゲート 9 及びそれらの上部を覆うゲート上部絶縁膜 17 を形成する。そして、トランジスタの出力電極のための不純物拡散層 6、12、13 を形成するために不純物 28 を注入する (図 3 (e))。

【0029】工程 (f)

全面に酸化膜を形成し、RIE によりエッチングしてゲート側壁絶縁膜 16 を形成する。さらに表面に酸化膜 (SiO₂) 29 を CVD 法により全面に積層する。そして、ストレーンコード 11 のコンタクト部分 (ストレーンコード側不純物拡散層 13 との接続部分) のみを写真製版及びエッチングにより開にする (図 3 (f))。なお、以下の説明において、この酸化膜 29 を絶縁膜 2、ゲート側壁絶縁膜 16、ゲート上部絶縁膜 17 と一体であるとして説明する。

【0030】工程 (g)

工程 (f) で設けた開口部に対し、ストレーンコード 11 を形成するためのポリシリコン層を CVD 法により積層した後、写真製版でパターンニング・エッチングしてストレーンコード 11 を形成する。そして、キャパシタ誘電膜 14 を形成するための誘電膜を積層し、さらに、セルプレート 15 を形成するためのポリシリコンを CVD 法により積層した後、写真製版でパターンニングすることにより所定のパターンのキャパシタ誘電膜 14 及びセルプレート 15 を形成する (図 3 (g))。

【0031】工程 (h)

全面に対し、素子層と配線層とを絶縁するための絶縁膜 3 を積層する。そして、写真製版及びエッチングにより絶縁膜 3 にヒット線 (基板トランジスタのヒット線側不純物拡散層 12 との接続線) を接続するためのコンタクトホールを形成し、その上に、CVD 法、スパッタリング法により、配線層 10 を形成するためのポリシリコンあるいはタンガステンシリサイド (WSi) を積層し、導電層 32 を形成する。それに重ねて、配線層 10 を形成するための所定のパターン (ヒット線のパターン) のレジストパターン 30 を写真製版により形成する (図 4 (h))。

【0032】工程 (i)

工程 (h) で形成したレジストパターン 30 により導電層 32 をエッチングし、配線層 10 を形成する。その後、レジストパターン 30 を除去し、配線層 10 と配線層 7 との層間絶縁膜である絶縁膜 4 を積層する。そして、配線層 7 のコンタクトホールを、写真製版及びエッチングにより形成した後、アルミニウム (Al) をスパッタ法により積層し、導電層 33 を形成する。それに重

ねて、配線層 7 を形成するための所定のパターンのレジストパターン 31 を写真製版により形成する (図 4 (i))。そして、レジストパターン 31 に基づいて導電層 33 をエッチングすれば、図 1 の構造の半導体記憶装置が得られる。

【0033】

【発明の効果】以上のように、請求項 1 の発明によれば、周辺回路部を絶縁層上に形成し、かさ上げしたので、メモリセル部と周辺回路部との段差を軽減することができ、微細なパターンニングが可能となり、半導体記憶装置の集積度を向上させるとともに、製造工程における歩留まりを向上させることができる。

【0034】また、請求項 2、請求項 3 及び請求項 4 の発明によれば、周辺回路部を S-O-I 構造のトランジスタから構成したので、高速なトランジスタが得られ周辺回路を高速動作させることができ、かつ、メモリセル部と周辺回路部との段差を軽減することができて微細なパターンニングが可能となり、半導体記憶装置の集積度を向上させるとともに、製造工程における歩留まりを向上させることができる。

【図面の簡単な説明】

【図 1】この発明の一実施例の半導体記憶装置の断面を示す図である。

【図 2】この発明の一実施例の半導体記憶装置の製造方法を示す断面図である。

【図 3】この発明の一実施例の半導体記憶装置の製造方法を示す断面図である。

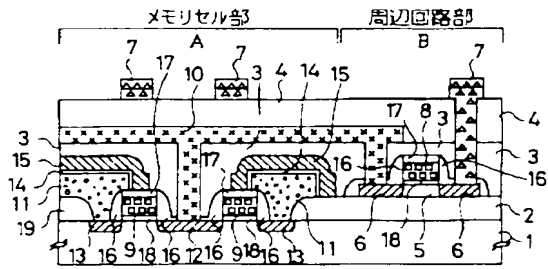
【図 4】この発明の一実施例の半導体記憶装置の製造方法を示す断面図である。

【図 5】従来の半導体記憶装置の断面を示す図である。

【符号の説明】

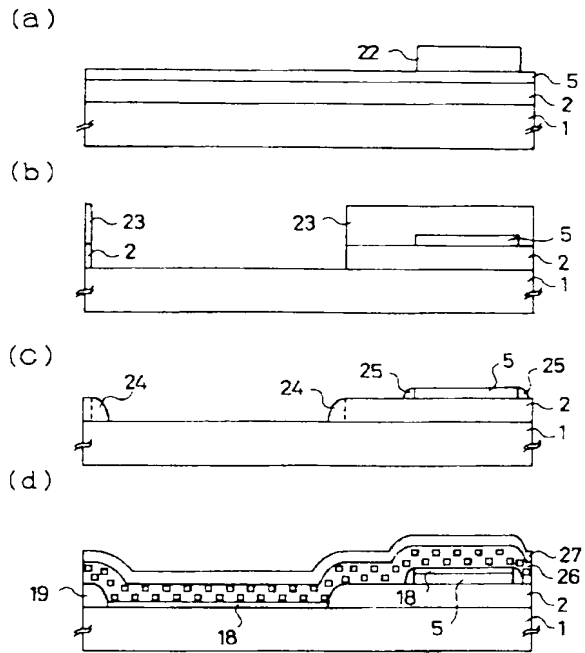
- 1 半導体基板
- 2 絶縁膜
- 3 絶縁膜
- 4 絶縁膜
- 5 S-O-I 層
- 6 不純物拡散層
- 7 配線層
- 8 S-O-I トランジスタゲート
- 9 基板上トランジスタゲート
- 10 配線層
- 11 ストレインコード
- 12 ヒット線側不純物拡散層
- 13 ストレインコード側不純物拡散層
- 14 キャパシタ誘電膜
- 15 セルプレート
- 16 ゲート側壁絶縁膜
- 17 ゲート上部絶縁膜
- 18 ゲート絶縁膜
- 19 素子分離絶縁膜

【図 1】



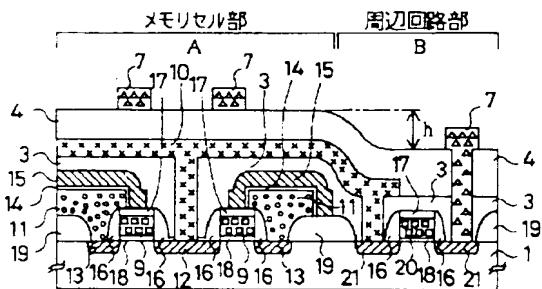
- | | |
|--|----------------------------------|
| 1: 半導体基板 (Si) | 15: セルプレート (Poly-Si) |
| 2: 絶縁膜 (SiO ₂) | 16: ゲート側壁絶縁膜 (SiO ₂) |
| 3: 絶縁膜 (SiO ₂) | 17: ゲート上部絶縁膜 (SiO ₂) |
| 4: 絶縁膜 (SiO ₂) | 18: ゲート絶縁膜 (SiO ₂) |
| 5: SOI層 (Si) | 19: 素子分離絶縁膜 (SiO ₂) |
| 6: 不純物拡散層 | |
| 7: 配線層 (Al) | |
| 8: SOIトランジスタゲート | |
| 9: 基板上トランジスタゲート | |
| 10: 配線層 (WSi/Poly-Si) | |
| 11: ストレージノード (Poly-Si) | |
| 12: ビット線側不純物拡散層 | |
| 13: ストレージノード側不純物拡散層 | |
| 14: キャパシタ誘電膜 (SiN又はSiO ₂ 等) | |

【図 2】



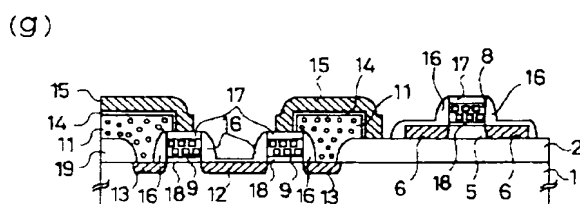
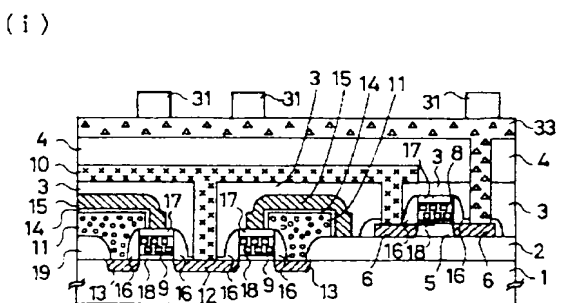
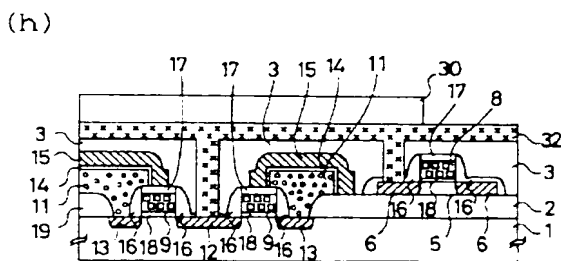
- | | |
|-------------------------------|-----------------------------|
| 22: レジストパターン | 26: 導電膜 (Poly-Si) |
| 23: レジストパターン | 27: 絶縁膜 (SiO ₂) |
| 24: 側壁絶縁膜 (SiO ₂) | |
| 25: 側壁絶縁膜 (SiO ₂) | |

【図 5】



- | |
|----------------------|
| 20: 周辺回路トランジスタゲート |
| 21: 周辺回路トランジスタ不純物拡散層 |

【图 4】



30 : レジストパターン
31 : レジストパターン
32 : 導電層
33 : 導電層

技術表示箇所

3 1 1 C